

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-016466

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

G06F 12/08

(21)Application number : 06-145961

(71)Applicant : NEC ENG LTD

(22)Date of filing : 28.06.1994

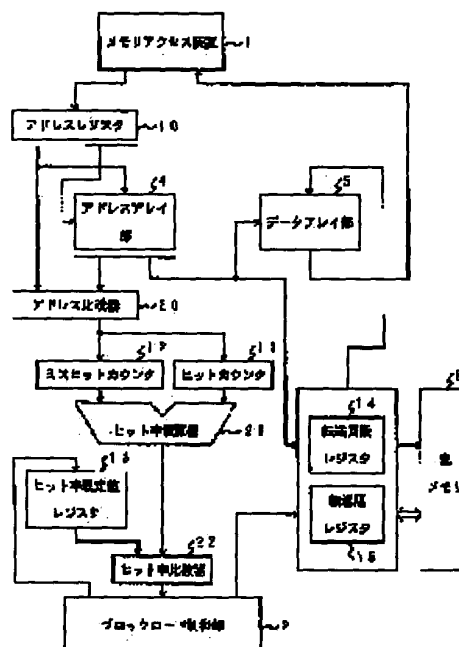
(72)Inventor : TABATA KYOICHI

## (54) CACHE MEMORY CONTROL SYSTEM

## (57)Abstract:

PURPOSE: To provide a cache memory control system which can optimize a block loading number and increases the hit rate.

CONSTITUTION: At a request to access a main memory 3 which is made by a memory access device 5, an address array part 4 retrieves control information showing whether or not there are target data in a data array part 5 and sends its address to an address comparator 20 when the data are present to decide whether or not the address is matched; and a hit counter 11 when the address is matched or a mishit counter 12 when not is counted up, a bit rate computing element 21 calculates the hit rate from the values of the hit counter 11 and mishit counter 12, and a hit rate comparator 22 compares the calculated value of the hit rate with a hit rate prescribed value. According to the comparison result, a block loading control part 2 sets the values of a transfer frequency register 14 and a transfer width register 15 to optimum values.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-16466

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 12/08

識別記号

庁内整理番号

B 7623-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2 O L (全4頁)

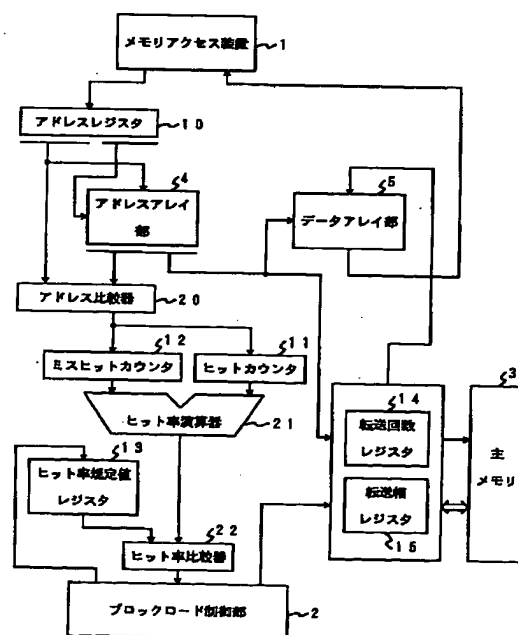
(21)出願番号	特願平6-145961	(71)出願人	000232047 日本電気エンジニアリング株式会社 東京都港区芝浦三丁目18番21号
(22)出願日	平成6年(1994)6月28日	(72)発明者	田畑 享一 東京都港区芝浦三丁目18番21号 日本電気 エンジニアリング株式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 キャッシュメモリ制御方式

(57)【要約】

【目的】 ブロックロード数を最適な値にすることができ、ヒット率を高めることのできるキャッシュメモリ制御方式を提供することにある。

【構成】 メモリアクセス装置1から主メモリ3に対するアクセス要求時、アドレスアレイ部4がデータアレイ部5に目的のデータがあるか否かを示す制御情報を検索し、あった場合にはそのアドレスをアドレス比較器20に送って一致するか否かを判定し、アドレス一致の場合はヒットカウンタ11を、不一致の場合はミスヒットカウンタ12をカウントアップし、ヒット率演算器21によりヒットカウンタ11とミスヒットカウンタ12の値からヒット率を演算し、ヒット率比較器22によってヒット率の演算値とヒット率規定値と比較し、比較結果からブロックロード制御部2により転送回数レジスタ14と転送幅レジスタ15の値を最適な値に設定する。



【特許請求の範囲】

【請求項 1】 主メモリとメモリアクセス装置との間にキャッシュメモリを備え、前記主メモリと前記キャッシュメモリ間でブロック転送が行われる情報処理装置に用いられ、

前記キャッシュメモリ内に前記メモリアクセス装置からアクセス要求された要求データが存在しているヒット回数をカウントしてヒット率を求める第 1 の手段と、

この第 1 の手段により求められたヒット率が一定水準を下回ったとき、前記主メモリと前記キャッシュメモリ間で行われるブロック転送データ量を動的に変更する第 2 の手段とを具備することを特徴とするキャッシュメモリ制御方式。

【請求項 2】 前記第 2 の手段は、ブロック転送データ量を転送幅と転送回数を指定することによって変更するようにしたことを特徴とする請求項 1 記載のキャッシュメモリ制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、主メモリとメモリアクセス装置との間にキャッシュメモリを備える情報処理装置に用いられ、主メモリとキャッシュメモリ間でブロック転送を行う場合のキャッシュメモリ制御方式に関する。

【0002】

【従来の技術】 従来、この種のキャッシュメモリにおけるブロック転送制御は、メモリアクセス装置から要求されたデータがキャッシュメモリ内に存在しなかった場合、要求されたデータを含むある一定量のデータを主メモリからキャッシュメモリに転送する動作を行う。ここではこの動作をブロックロードと呼ぶことにする。

【0003】 ブロックロード動作で行うデータ量については、要求されたデータ量に関係なく、ある一定のデータ量がブロックロードされる。このため、要求データがブロックロード量以上のデータ量になった場合は、再度のブロックロード動作が必要となり、性能が低下してしまう。また、要求データがブロックロード量より少ない場合においても、不必要なデータまでブロックロードすることになり、性能低下となってしまう。

【0004】 ここで、先行技術として、例えば特開平 2 - 1 0 0 7 3 9 号公報（以下、先行技術 1 と称する）には、主記憶装置から拡張記憶装置へのデータ転送と、拡張記憶装置から主記憶装置へのデータ転送とで転送ブロックサイズを変え、読出しデータを一時格納するバッファの容量を変えることにより、読出し時間の小さな主記憶装置から拡張記憶装置へのデータ転送は、ブロックのサイズを小さくしてブロック転送回数を多くすることで、主記憶装置データバッファの容量を小さくしても高速なデータ伝送ができるようにした「データ転送制御方式」が開示されている。

【0005】 また、特開昭 6 3 - 1 0 9 5 5 4 号公報（以下、先行技術 2 と称する）には、ヒットしない状態になったときには主記憶装置からキャッシュメモリにデータをコピーする際に、ブロック転送量を指定してブロックサイズを可変することにより、命令の高速化を行う「キャッシュメモリ」が開示されている。

【0006】

【発明が解決しようとする課題】 以上述べたように、従来の情報処理装置に用いられるキャッシュメモリ制御方式において、ブロックロード制御を行う場合、ブロックロードに伴うデータ転送量が固定となっているため、不必要なデータのブロックロード動作あるいはブロックロード動作を複数回行う必要があり、性能を低下させてしまうという問題点があった。

【0007】 本発明は上記の課題を解決するためになされたもので、ブロックロード数を最適の値にすることができ、ヒット率を高めることのできるキャッシュメモリ制御方式を提供することを目的とする。

【0008】 ここで、上記先行技術 1 は、転送ブロックサイズを変えることで主記憶装置データバッファの容量を小さくしても高速なデータ伝送ができるようにしたデータ転送制御方式の発明を開示するものであって、主メモリとキャッシュメモリとの間のブロック転送回数または転送幅をダイナミックに変更することにより、情報処理装置の高速化を実現するようにした本発明の技術思想を示唆する具体的な記載がなく、本発明とは全く異なる技術思想に立脚するものである。

【0009】 また、上記先行技術 2 は、ブロック転送量を指定してブロックサイズを可変することにより命令の高速化を行うキャッシュメモリの発明を開示するものであって、先行技術 1 と同様に、主メモリとキャッシュメモリとの間のブロック転送回数または転送幅をダイナミックに変更することにより、情報処理装置の高速化を実現するようにした本発明の技術思想を示唆する具体的な記載がなく、本発明とは全く異なる技術思想に立脚するものである。

【0010】

【課題を解決するための手段】 上記目的を達成するために本発明に係るキャッシュメモリ制御方式は、主メモリとメモリアクセス装置との間にキャッシュメモリを備え、前記主メモリと前記キャッシュメモリ間でブロック転送が行われる情報処理装置に用いられ、前記キャッシュメモリ内に前記メモリアクセス装置からアクセス要求された要求データが存在しているヒット回数をカウントしてヒット率を求める第 1 の手段と、この第 1 の手段により求められたヒット率が一定水準を下回ったとき、前記主メモリと前記キャッシュメモリ間で行われるブロック転送データ量を動的に変更する第 2 の手段とを具備して構成するようにした。

【0011】

【作用】上記構成によるキャッシュメモリ制御方式では、アクセス要求された要求データが存在しているヒット率を判定し、ヒット率が一定水準を下回ったとき、前記主メモリと前記キャッシュメモリ間で行われるブロック転送データ量を動的に変更することで、ヒット率を高めるようにしている。

【0012】

【実施例】以下、図面を参照して本発明の一実施例を詳細に説明する。

【0013】図1は本発明に係るキャッシュメモリ制御方式を実現するための情報処理装置の構成を示すブロック図である。

【0014】図1において、1は主メモリ3をアクセスする装置、2は主メモリ3とメモリアクセス装置1とのデータ転送を制御するブロックロード制御部、3は主メモリ、4は主メモリ3のアドレスやデータアレイ部5に主メモリデータが格納されているか否かを示す制御情報等を格納するアドレスアレイ部、5はアドレスアレイ部4に格納されている主メモリアドレスに対応した主メモリ内データの写しを格納するデータアレイ部である。

【0015】10はメモリアクセス装置1から出される主メモリ3のアドレスを格納するアドレスレジスタ、20はアドレスアレイ部4にアドレスレジスタ10が指定するアドレスが存在するか否かを比較判断するアドレス比較器である。

【0016】11はアドレス比較器20によってアドレスが一致した場合にカウントアップするヒットカウンタである。12はアドレス比較器20によってアドレスが不一致の場合にカウントアップするミスヒットカウンタ、21はヒットカウンタ11とミスヒットカウンタ12のカウント値を元にヒット率を求めるヒット率演算器である。

【0017】13はブロックロード制御部2からの指示によりヒット率値を格納するヒット率規定値レジスタ、22はヒット率演算器21の値とヒット率規定値レジスタ13との値を比較判断するヒット率比較器、14はブロックロード制御部2からの指示により主メモリ3とのブロックロード転送回数を指定する転送回数レジスタ、15は主メモリ3とのブロックロード転送幅を指定する転送幅レジスタである。

【0018】上記構成において、以下、図2及び図3を参照してその動作を説明する。

【0019】メモリアクセス装置1から主メモリ3に対してアクセス要求すると、アドレスアレイ部4にてデータアレイ部5に目的のデータがあるか否かを示す制御情報が検索され、あった場合にはそのアドレスがアドレス比較器20に送られ、一致するか否かが判定される。

【0020】アドレス比較器20にてアドレスが一致した場合は、データアレイ部5に目的のデータがあることになり、ヒットカウンタ11がカウントアップされる。

同様に、アドレス比較器20によってアドレスが不一致となった場合は、データアレイ部5に目的のデータが存在していないことになり、ミスヒットカウンタ12がカウントアップされる。

05 【0021】続いて、ヒット率演算器21により上記ヒットカウンタ11とミスヒットカウンタ12の値からヒット率が演算される。このヒット率は、ヒットカウンタ11の値をヒットカウンタ11の値とミスヒットカウンタ12の値とを足した値で除算すれば求められる。

10 【0022】次に、ヒット率比較器22によってヒット率の値と予め設定しているヒット率規定値レジスタ13との値が比較される。この比較結果から、ブロックロード制御部2は転送回数レジスタ14と転送幅レジスタ15の値を最適な値に設定する。

15 【0023】上記転送回数レジスタ14と転送幅レジスタ15への最適値設定方法を図2を参照して説明する。

【0024】図2において、主メモリ3との転送データ幅は4バイトである。この4バイト幅のデータを転送幅レジスタ15により1バイト幅、2バイト幅、4バイト幅に分割する。

20 【0025】転送回数レジスタ14への設定値は、ブロックロードバイト数と転送幅レジスタ15の値によって決定される。すなわち、図3に示すように、ブロックロード数が1バイトの場合は、転送幅レジスタ15の値を“1”にし、転送回数を“1”にすればよい。同様に、ブロックロードバイト数が2バイトの場合は、転送幅レジスタ15の値を“2”にし、転送回数を“1”にする。ブロックロードバイト数が3バイトの場合は、転送幅レジスタ15の値を“4”にし、転送回数を“8”にする。

30 【0026】アドレスアレイ部4とデータアレイ部5の構成は、転送幅レジスタ15の値と転送回数レジスタ14の値により変化する。すなわち、転送幅レジスタ値が“1”の場合は、データアレイ部5には1バイトのデータが格納され、アドレスアレイ部4にはバイトアドレスが格納される。転送幅レジスタ15の値が“2”の場合は、データアレイ部5には2バイトのデータが格納され、アドレスアレイ部4には2バイト境界のアドレスが格納される。

40 【0027】したがって、上記構成によるキャッシュメモリ制御方式によれば、ヒット率を判定し、ミスヒット時に行われる主メモリとのブロックロード数を、転送幅指定と転送回数指定とを行い、ブロックロード数を最適の値にし、ヒット率を高めることができ、これによって性能向上を図ることができる。

【0028】尚、本発明は上述した実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々変形しても同様に実施可能であることはいうまでもない。

【0029】

50 【発明の効果】以上述べたように本発明によれば、プロ

ックロード数を最適の値にすることができ、ヒット率を高めることのできるキャッシュメモリ制御方式を提供することができる。

【図面の簡単な説明】

【図 1】 本発明に係るキャッシュメモリ制御方式を採用した情報処理装置の一実施例を示すブロック図である。

【図 2】 同実施例の転送回数レジスタと転送幅レジスタへの最適値設定方法を説明するための図である。

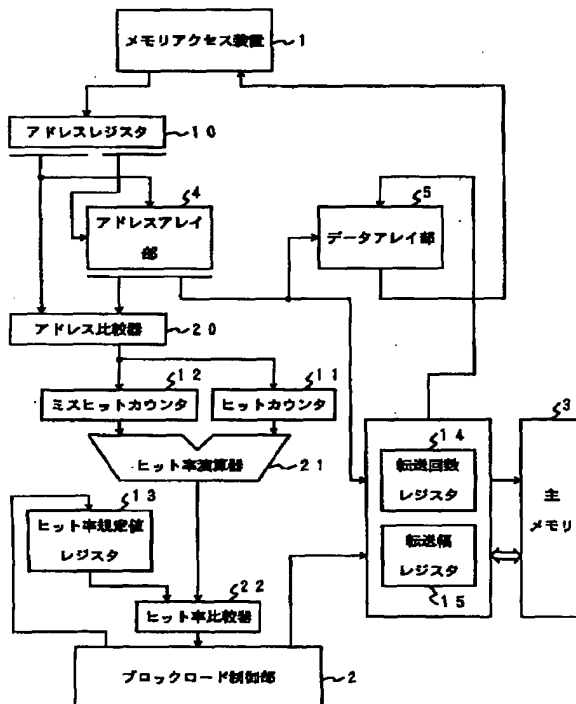
【図 3】 同実施例で転送回数レジスタへの設定値を決定する方法を説明するための図である。

【符号の説明】

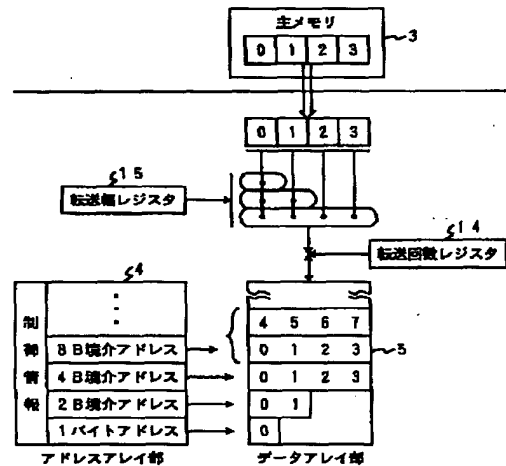
- 1 メモリアクセス装置
- 2 ブロックロード制御部

- 3 主メモリ
- 4 アドレスアレイ部
- 5 データアレイ部
- 10 アドレスレジスタ
- 11 ヒットカウンタ
- 12 ミスヒットカウンタ
- 13 ヒット率規定値レジスタ
- 14 転送回数レジスタ
- 15 転送幅レジスタ
- 20 アドレス比較器
- 21 ヒット率演算器
- 22 ヒット率比較器

【図 1】



【図 2】



【図 3】

ブロックロードバイト数	バイト幅指定	転送回数指定
1	1	1
2	2	1
4	4	1
8	4	2
16	4	4
32	4	8